

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 9月13日
Date of Application:

出願番号 特願2002-268937
Application Number:

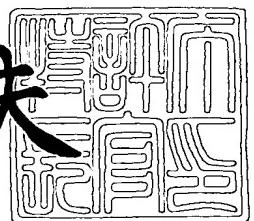
[ST. 10/C] : [JP2002-268937]

出願人 シャープ株式会社
Applicant(s):

2003年 8月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2003-3062727

【書類名】 特許願
【整理番号】 02J01684
【提出日】 平成14年 9月13日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/8247
【発明の名称】 不揮発性半導体記憶装置およびその製造方法
【請求項の数】 8
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 杉田 靖博
【発明者】
【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
【氏名】 山内 祥光
【特許出願人】
【識別番号】 000005049
【氏名又は名称】 シャープ株式会社
【代理人】
【識別番号】 100065248
【弁理士】
【氏名又は名称】 野河 信太郎
【電話番号】 06-6365-0718
【手数料の表示】
【予納台帳番号】 014203
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208452

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置およびその製造方法

【特許請求の範囲】

【請求項 1】 メモリセルが半導体基板内に形成されたソース領域およびドレイン領域、ソース領域とドレイン領域の間の半導体基板表面上に形成された第1絶縁膜、第1絶縁膜上に形成された浮遊ゲート、浮遊ゲート上に第2絶縁膜を介して形成された制御ゲートとにより構成され、前記メモリセルが実質的に直交するXY方向に沿って半導体基板上にマトリクス状に形成された複数のメモリセル群と、

X方向に沿って隣接するメモリセルの各制御ゲートを接続するように形成されたワードラインと、

Y方向に沿って隣接するメモリセルのドレイン領域又はソース領域を接続するように半導体基板内に形成される複数のサブビットラインと、

ワードラインより上側に層間絶縁膜層を介してY方向に沿って形成され、ビットラインコンタクトによりサブビットラインと接続される複数のメインビットラインとからなり、

隣接するサブビットラインのそれぞれに接続されるメインビットラインは、層間絶縁膜層を介して互いに上下方向に異なる層に形成されることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 サブビットラインが、X方向に沿って隣接する2つのメモリセルの間の半導体基板内に形成され、この2つのメモリセルの一方のメモリセルに対するドレイン領域と他方のメモリセルに対するソース領域とを含む拡散層により形成されてなる請求項1に記載の不揮発性半導体記憶装置。

【請求項 3】 メインビットラインが、金属材料で形成されることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項 4】 メインビットラインは、それぞれのメインビットラインがビットラインコンタクトにより接続されるサブビットラインの直上の位置にくるよう形成されることを特徴とする請求項1に記載の不揮発性半導体装置。

【請求項 5】 上層側メインビットラインとサブビットラインとを接続する

ビットラインコンタクトが、下層側メインビットラインとワードラインとを絶縁する第1の層間絶縁膜層内に形成される下側ビットラインコンタクトと、下層側メインビットラインと上層側メインビットラインとを絶縁する第2の層間絶縁膜層内に形成される上側ビットラインコンタクトと、上側ビットラインコンタクトと下側ビットラインコンタクトとを接続する接続パッドとにより形成されることを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項6】 下層側メインビットラインの直上の位置に上層側メインビットラインが配置され、上層側メインビットラインとサブビットラインとを接続するビットラインコンタクトが、サブビットラインから垂直上向きに形成される下側ビットラインコンタクト、上層側メインビットラインから垂直下向きに形成される上側ビットラインコンタクト、下側ビットラインコンタクトと上側ビットラインコンタクトとの間を接続する接続パッドとにより形成されることを特徴とする請求項5に記載の不揮発性半導体装置。

【請求項7】 接続パッドは、下層側メインビットラインと同材料が用いられ同時に形成されることを特徴とする請求項5に記載の不揮発性半導体記憶装置。

【請求項8】 (a) 実質的に直交するXY方向に沿ってマトリクス状にメモリセルを配列するための各メモリセルのドレイン領域およびソース領域を半導体基板内に形成し、ドレイン領域又はソース領域をY方向に沿って接続する複数のストライプ状のサブビットラインを半導体基板内に形成し、ドレイン領域とソース領域の間の半導体表面上に第1絶縁膜、浮遊ゲート、第2絶縁膜、制御ゲートを形成し、さらに制御ゲートをX方向に沿って接続する複数のストライプ状のワードラインを形成し、以上によりY方向に沿ってサブビットラインにより接続されかつX方向に沿ってワードラインにより接続されたマトリクス状に配列されるメモリセル群を形成し、

(b) メモリセル群の上に第1層間絶縁膜を形成し、

(c) 第1層間絶縁膜内にサブビットラインと第1層間絶縁膜上面とを電気的に接続する複数の第1ビットラインコンタクトを形成し、

(d) 第1ビットラインコンタクトと接続されY方向に沿ってストライプ状に配

列される第1層目メインビットラインおよび第1ビットラインコンタクトと接続され第2ビットラインコンタクトと接続されるための接続パッドを第1層間絶縁膜上にパターニング形成し、

(e) 第1層目メインビットラインおよび接続パッドの上に第2層間絶縁膜を形成し、

(f) 第2層間絶縁膜内に接続パッドと第2層間絶縁膜上面とを電気的に接続する複数の第2ビットラインコンタクトを形成し、

(g) 第2ビットラインコンタクトと接続されY方向に沿ってストライプ状に配列される第2層目メインビットラインを第2層間絶縁膜上にパターニング形成することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、浮遊ゲートを有し、電気的に記憶内容の書き込み・消去が可能な不揮発性半導体記憶装置に関し、さらに詳細には記憶内容の書き込み時に誤書き込みが発生しにくい構造の不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

不揮発性半導体記憶装置のひとつに、記憶内容を電気的に書き込み・消去することができないわゆるフラッシュメモリがある。

このフラッシュメモリでは、ソース領域やドレイン領域と制御ゲートとの間に正又は負の高電圧を印加することにより浮遊ゲートから電子が引き抜かれて書き込みが行われ、あるいは、電子が注入されて消去が行われる。

電気的書き込み・消去が行われるフラッシュメモリには、書き込みと消去の両方でF Nトンネリング現象を用いる仮想接地(virtual ground)方式を採用したアレイ構造を用いたA C T(Asymmetrical Contactless Transistor)型フラッシュメモリと呼ばれているものがある。

【0003】

仮想接地方式を簡単に説明すると、例えば特開平9-92739号公報（特許

文献1)に開示されているように、互いに実質的に直交するX Y方向（必ずしも直角である必要はなく、マトリクスが形成できるようにX方向とY方向とが交差すればよい）マトリクス状に並んだメモリセルのX方向に沿ってワードラインが接続され、さらに、Y方向に沿ってビットラインが接続されてなるメモリアレイ構造において、各ビットラインがそれぞれX方向に隣接する2つのメモリセルの一方のセルのソース、他方のセルのドレインを形成する1つの拡散層領域に対し、一方にはソース配線として他方にはドレイン配線として電気的に接続されるようにして、各ビットラインがソース配線及びドレイン配線の何れかに固定されず、ソース配線（接地線）とドレイン配線とが適宜入れ替わるように電気接続する方法である。

【0004】

【特許文献1】

特開平9-92739号公報

【0005】

図11は仮想接地方式を採用したACT型フラッシュメモリセルアレイの平面構造図であり、図12は、そのX-X'方向（ワードライン方向）の断面図であり、図13はY1-Y1'方向（ビットライン方向）の断面図である。また、図14はACT型フラッシュメモリアレイの等価回路図を示す。

【0006】

図11から図14において、C ($C_{11}, C_{12}, \dots, C_{ij}, \dots, C_{532}$) はメモリセル、WL ($WL_1, WL_2, \dots, WL_{32}$) はワードライン(Word Line)、MBL ($MBL_1, MBL_2, \dots, MBL_6$) はメインビットライン(Main Bit Line)、SBL ($SBL_1, SBL_2, \dots, SBL_6$) は埋込み不純物拡散層で形成されるサブビットライン(Sub Bit line)、SG ($SG_1 \sim SG_4$) はトランジスタ等のスイッチング素子で構成される選択ゲート、BCはメインビットラインMBLとサブビットラインSBLとを電気的に接続するビットラインコンタクトである。

【0007】

また、図12、図13において、1は半導体基板、2は低い不純物濃度（n-

) の不純物拡散層により形成されるソース領域、3は高い不純物濃度 (n^+) の不純物拡散層により形成されるドレイン領域、4はトンネル酸化膜、5は浮遊ゲート、6は埋込み酸化膜、7はONO膜、8はワードラインWLとメインビットラインMBLとを絶縁分離する層間絶縁膜層、10は分離領域、11はビットラインコンタクト（図11のBCに相当）、16は制御ゲート（ワードラインWLのうちの浮遊ゲート5に対応する部分が制御ゲート16として機能する）である。なお、9は隣接するメインビットライン間に発生するライン間容量を模式的に示している。

【0008】

図12に示すようにX方向に並ぶ各メモリセルCの制御ゲート16どうしが連続的に接続され、ワードラインWL（図ではWL3）を形成している。

また、X方向に隣接するメモリセルCの一方のセルのソース2と他方のセルのドレイン3とを形成する不純物拡散層は、サブビットラインSBL（SBL1、SBL2、…）としてY方向のメモリセル間を電気的に接続する。このサブビットラインSBLは、選択ゲートSGを介してビットラインコンタクト11（図11のBC）によりメインビットラインMBLに接続されている。メインビットラインMBLは、ワードラインWLの上側に層間絶縁膜8を介して形成される。

【0009】

ACT型のメモリセルでは、このように不純物濃度の低いソース2と不純物濃度の高いドレイン3と浮遊ゲート5とを有するnチャネルトランジスタ構造を有している。このソース領域2とドレイン領域3の非対称な不純物濃度分布が、書き込みと消去の両方でFNトンネル現象を用いるシンプルな仮想接地構造を可能にしている。

【0010】

即ち、図14の等価回路及び図11に示されるように、X方向に隣接するメモリセルCにおいて、一方のセルのソース2と他方のセルのドレイン3とを1本の不純物拡散層であるサブビットラインSBLで共有する構造（仮想接地構造）としている。そしてサブビットラインSBLとメインビットラインMBLとを平行に配置し、ワードラインWLをサブビットラインSBL及びメインビットライン

MBLに対し実質的に直交するように配置している。

【0011】

また、隣り合うワードライン間のサブビットラインの分離は、ボロン注入を行うことによりp-n接合を利用して素子分離を行っているため、フィールド酸化膜が不要であり、高集積化に向いている。

各メモリセルCは、並列に接続されており、このメモリはNOR型フラッシュメモリに分類される。

【0012】

次に、ACT型のメモリセルの動作原理を図14及び図15を用いて説明する。

書き込みは、ドレイン側のFNトンネル現象により、浮遊ゲート5からドレイン3に電子を引き抜き、閾値電圧を下げる。例えば、メモリセルC₂₃に書き動作を行う場合（書き動作を行うセルを選択セルと呼ぶ）、選択ワードラインWL3に-12V、メインビットラインMBL2に+4Vを印加することにより、メインビットラインMBL2から選択ゲートSG3を通してサブビットラインSBL2に+4Vが印加され、その結果、ドレインに+4Vが印加され、閾値を1Vから2Vの間に下げる。

【0013】

この時、書き動作を行っていないセル（書き動作を行っていないセルを非選択セルと呼ぶ）である隣接セルC₁₃にも同様の書き電圧が印加されるがn-領域を有するソース2側のトンネル酸化膜4に印加される電界は、n+領域を有するドレイン3側のトンネル酸化膜4に印加される電界に比べて小さくなる。これは、n-領域を有するソース2側のトンネル酸化膜4直下に空乏層が存在し、トンネル酸化膜に生じる電界が弱くなるためである。よって、書きが行なわれる制御ゲートライン（即ちワードラインWL3）上の隣接する非選択セルにはたとえ書き電圧が印加されても書きが起こらないようになっている。これが、FNトンネル現象を用いて書きを行い、かつ仮想接地構造を実現できる理由である。

【0014】

消去は、選択ワードラインに+12V、シリコン基板1とサブビットラインSBLとメインビットラインMBLとにそれぞれ-8Vを印加することにより、チャネル領域のFNトンネル現象により、シリコン基板1から浮遊ゲート5に電子を注入し、閾値電圧を4V以上に上げる。なお消去は、選択ゲートSGで仕切られるブロック単位、あるいはワードライン単位で可能である。

【0015】

読み出し動作は、例えば、選択セルC33を読み出す場合、選択ワードラインWL3の電圧を+3V、ソース電圧(SBL4)を+1V、ドレイン電圧(SBL3)を0Vとし、セル電流が流れるか流れないかで、選択セルが書き込み状態か消去状態かを判定する。

【0016】

【発明が解決しようとする課題】

フラッシュメモリでは、例えばドレイン領域と制御ゲートとの間に制御ゲート側が負となるように高電圧を印加することで書き込みが行われ、ソース領域と制御ゲートとの間で制御ゲート側が正となるように高電圧を印加することで注入が行われる。そのために選択セルのドレイン又はソースに高電圧を印加するための選択メインビットラインMBLに高電圧が印加された状態が形成される。その一方で非選択セルに接続される非選択メインビットラインMBLは0Vフローティングとされる。

【0017】

上述したACT型のメモリセルで説明すると、書き込み動作時、選択したメインビットラインMBLには+4Vが印加され、非選択メインビットラインMBLは0Vフローティング状態となる。

今、図14に示すように2つの選択セルC23、C43に挟まれる非選択セルC33があった場合に、選択メインビットラインMBL2、MBL4にそれぞれ+4Vが印加され、非選択メインビットラインMBL3は0Vフローティングとなっている。

【0018】

ここで、メインビットラインMBLには図12に示すようにライン間容量9が

生じている。即ち、メインビットラインMBLは金属等の導電材料で構成され、これが層間絶縁膜層8中に短い間隔を空けて並ぶように配置されることからコンデンサが形成され、隣接するメインビットライン間は互いに容量的に結合されることになる。ライン間容量9はACT型メモリセルの集積度が増してライン間距離が小さくなるにつれて大きくなる。

【0019】

メインビットラインMBL間が容量的に結合される結果、隣接するメインビットラインMBLが選択されて高電圧が印加されると、その影響を受けて隣の非選択メインビットラインMBLの電圧が浮き上がり、非選択メインビットラインMBLに接続されている非選択セルCの浮遊ゲート5から電子が誤って引き抜かれことがある。例えば、図14の等価回路内に示すようにメインビットラインMBL2、MBL4とが選択されたとする。するとこれらと容量結合する非選択メインビットラインMBL3が、例えば約1.5V程度まで浮き上がることにより、非選択セルC₃₃の浮遊ゲート5からサブビットラインSBL3に電子が引き抜かれて閾値電圧が下がり、誤書き込みが生じることになる。

【0020】

誤書き込みの実例として、図12で説明したACT型メモリセル（同一平面上にメインビットラインが並ぶ）での書き込み後のメモリセルのセル数-閾値電圧分布図を図17に示す。書き込み時における非選択メインビットラインMBLの浮き上がり現象により、消去状態の非選択セルCの浮遊ゲート5から電子が引き抜かれ、その結果、閾値電圧が下がった誤書き込みセルが生じている。

【0021】

このような誤書き込みは、ACT型メモリセルに限られず、メインビットライン間で容量結合が生じて書き込み時に隣接するビットライン間で浮き上がり現象が生じるフラッシュメモリ、さらには不揮発性半導体記憶装置であれば同様の現象が生じる。

【0022】

非選択メインビットラインの浮き上がりを抑える対策としては、書き込み時に非選択メインビットラインを0Vフローティング状態（最初に0Vに設定した後に

メインビットラインを外部から切り離してフローティングとする) のではなく、
0 V フォース状態(外部から電圧を積極的に印加して常に電圧が0 Vとなるよう
にする) とすることも考えられる。

【0023】

しかしながら、不揮発性半導体装置の種類や用途によって0 V フォース状態で
使用するのが困難な場合もある。

特に、ACT型セルでは仮想接地構造を用いているため、非選択メインビット
ラインの浮き上がりをなくすために0 V フォース状態とすると非選択セルのソ
ース-ドレイン間に流れるオフリーク電流により、図16に示すように選択メイン
ビットライン(+4 V) と非選択メインビットライン(0 V) 間に電流が流れ、
書き込み時の消費電流が増加してしまう。また、オフリーク電流が流れる為、メイ
ンビットライン抵抗及びサブビットライン抵抗部分で電圧の低下が生じ、選択メ
モリセルのドレイン電圧が印加電圧より低くなり、書き込み速度が遅くなってしま
う。

【0024】

そこで、本発明は第1に非選択メモリセルへの誤書き込みが発生しにくい構造の
不揮発性半導体記憶装置を提供することを目的とする。

また、本発明はメモリセルの集積度を高めるとともに、集積度が高まることに
生じやすい隣接ビットライン間の電圧の浮き上がり現象を抑えることができる不
揮発性半導体記憶装置を提供することを目的とする。

【0025】

特に、本発明は仮想接地型のメモリ構造により集積度を高めた不揮発性半導体
記憶装置において、消費電力を抑えかつ書き込み速度低下を抑制するとともに、隣
接する選択メモリビットラインの書き込み電圧の影響による非選択メモリビットラ
インの浮き上がりにより、非選択メモリセルへの誤書き込みが発生しにくい構造
の不揮発性半導体記憶装置を提供することを目的とする。

また、本発明は上記目的を解決する不揮発性半導体記憶装置の製造方法を提供
することを目的とする。

【0026】

【課題を解決するための手段】

上記課題を解決するためになされた本発明の不揮発性半導体記憶装置は、メモリセルが半導体基板内に形成されたソース領域およびドレイン領域、ソース領域とドレイン領域の間の半導体基板表面上に形成された第1絶縁膜、第1絶縁膜上に形成された浮遊ゲート、浮遊ゲート上に第2絶縁膜を介して形成された制御ゲートとにより構成され、前記メモリセルが実質的に直交するX Y方向に沿って半導体基板上にマトリクス状に形成された複数のメモリセル群と、X方向に沿って隣接するメモリセルの各制御ゲートを接続するように形成されたワードラインと、Y方向に沿って隣接するメモリセルのドレイン領域又はソース領域を接続するように半導体基板内に形成される複数のサブビットラインと、ワードラインより上側に層間絶縁膜層を介してY方向に沿って形成され、ビットラインコンタクトによりサブビットラインと接続される複数のメインビットラインとからなり、隣接するサブビットラインのそれぞれに接続されるメインビットラインは、層間絶縁膜層を介して互いに上下方向に異なる層に形成されるようにしている。

【0027】

即ち、本発明によれば、半導体基板にマトリクス状に形成されたメモリセルの上に、X方向に沿って制御ゲートを接続するワードラインが形成される。

また、半導体基板内においてX方向とは実質的に直交するY方向に沿って隣接するメモリセルのドレイン領域又はソース領域を接続するように複数のサブビットラインが形成されるとともに、ワードラインの上側には、このサブビットラインとビットラインコンタクトにより接続される複数のメインビットラインが、層間絶縁膜により絶縁されるようにして形成される。このメインビットラインは、隣接するメインビットラインどうしが同一平面ではなく異なる層にくるようにして複数層形成される。これにより、隣接するメインビットライン間の距離を長くしてライン間に生じる結合容量を小さくし、一方のメインビットラインに高電圧が印加されたときにその影響が隣接するメインビットラインに及ばないようにすることで浮き上がり現象を抑える。

【0028】

サブビットラインが、X方向に沿って隣接する2つのメモリセルの間の半導体

基板内に形成され、この2つのメモリセルの一方のメモリセルに対するドレイン領域と他方のメモリセルに対するソース領域とを含む拡散層により形成されてもよい。

これにより、仮想接地構造の不揮発性半導体記憶装置を形成することができ、その結果集積度の高いメモリアレイとすることができる。

【0029】

また、メインビットラインが、金属材料で形成されるようにしてもよい。これにより、メインビットラインの抵抗を小さくすることができ、書き込み速度及び読み出し速度を高速化できる。

また、メインビットラインは、それぞれのメインビットラインがビットラインコンタクトにより接続されるサブビットラインの直上の位置にくるように形成されるようにしてもよい。これにより、コンタクトを垂直に形成することができ、接続を容易にすることができます。

【0030】

また、上層側メインビットラインとサブビットラインとを接続するビットラインコンタクトが、下層側メインビットラインとワードラインとを絶縁する第1の層間絶縁膜層内に形成される下側ビットラインコンタクトと、下層側メインビットラインと上層側メインビットラインとを絶縁する第2の層間絶縁膜層内に形成される上側ビットラインコンタクトと、上側ビットラインコンタクトと下側ビットラインコンタクトとを接続する接続パッドとにより形成されるようにしてもよい。

これにより、下側のビットラインコンタクトと、上側のビットライン順次別々に形成することができるとともに、接続パッドにより、上下のビットラインコンタクトが位置ずれすることなく接続させることができます。

【0031】

また、下層側メインビットラインの直上の位置に上層側メインビットラインが配置され、上層側メインビットラインとサブビットラインとを接続するビットラインコンタクトが、サブビットラインから垂直上向きに形成される下側ビットラインコンタクト、上層側メインビットラインから垂直下向きに形成される上側ビ

ットラインコンタクト、下側ビットラインコンタクトと上側ビットラインコンタクトとの間を接続する接続パッドにより形成されるようにしてもよい。これにより、下層側と上層側のメインビットラインを必ずしも千鳥状に配置する必要性はなく、下層側メインビット線と上層側メインビット線を自由に配置できることを示している。

【0032】

また、接続パッドは、下層メインビットラインと同材料を用いて同時に形成されようにもよい。

これにより、接続パッドを下層メインビットラインと同工程で作成することができ、製造工程を簡略にすることができる。

【0033】

また、上記課題を解決するためになされた本発明の不揮発性半導体記憶装置の製造する方法は、(a) 実質的に直交するXY方向に沿ってマトリクス状にメモリセルを配列するための各メモリセルのドレイン領域およびソース領域を半導体基板内に形成し、ドレイン領域又はソース領域をY方向に沿って接続する複数のストライプ状のサブビットラインを半導体基板内に形成し、ドレイン領域とソース領域の間の半導体表面上に第1絶縁膜、浮遊ゲート、第2絶縁膜、制御ゲートを形成し、さらに制御ゲートをX方向に沿って接続する複数のストライプ状のワードラインを形成し、以上によりY方向に沿ってサブビットラインにより接続されかつX方向に沿ってワードラインにより接続されたマトリクス状に配列されるメモリセル群を形成し、(b) メモリセル群の上に第1層間絶縁膜を形成し、(c) 第1層間絶縁膜内にサブビットラインと第1層間絶縁膜上面とを電気的に接続する複数の第1ビットラインコンタクトを形成し、(d) 第1ビットラインコンタクトと接続されY方向に沿ってストライプ状に配列される第1層目メインビットラインおよび第1ビットラインコンタクトと接続され第2ビットラインコンタクトと接続されるための接続パッドを第1層間絶縁膜上にパターニング形成し、(e) 第1層目メインビットラインおよび接続パッドの上に第2層間絶縁膜を形成し、(f) 第2層間絶縁膜内に接続パッドと第2層間絶縁膜上面とを電気的に接続する複数の第2ビットラインコンタクトを形成し、(g) 第2ビットライ

ンコンタクトと接続されY方向に沿ってストライプ状に配列される第2層目メイ
ンビットラインを第2層間絶縁膜上にパターニング形成するようにしている。

【0034】

【発明の実施の形態】

以下、本発明の実施の形態について図面を用いて説明する。なお、図11の不揮発性半導体記憶装置の平面構造図と、図14の等価回路図は従来技術として説明したものであるが、これらの図中に表現された部分については、以下に説明する本発明の実施形態である不揮発性半導体記憶装置の平面構造、等価回路においても実質的に同一であるので、図11、図14および図中の符号をそのまま本発明の説明に用いる。

【0035】

図1は、本発明の一実施形態である不揮発性半導体記憶装置のワードライン方向に沿った断面図であり、図11におけるX-X'断面図である。図2はビットライン方向に沿った断面図であり、図11のY1-Y1'断面図である。図3は同じくビットライン方向に沿った断面図であり、図11のY2-Y2'断面図である。

【0036】

図1乃至図3に示すように、半導体基板1（例えばシリコン基板）内にn-型不純物拡散層が形成される。このn-型不純物拡散層の内部左側領域はソース領域2として機能する。n-型不純物拡散層の内部右側領域にはさらにn+型不純物拡散層3が形成され、このn+型不純物拡散層がドレイン領域3として機能する。

【0037】

そして1つのメモリセルCは、隣接する第1、第2の2つのn-型不純物拡散層にまたがるように形成され、第1のn-型不純物拡散層に形成されたソース領域2と、第2のn-型不純物拡散層内に形成されたドレイン領域3と、ソース領域2およびドレイン領域3の中間領域の基板表面上に形成されたトンネル酸化膜4と、トンネル酸化膜4の上に形成された浮遊ゲート5と、浮遊ゲート5の上にONO膜7を介して形成される制御ゲート16とにより構成される。

【0038】

制御ゲート16はワードラインWL（図1ではWL3）のうち、浮遊ゲート5に対向する部分により構成される。即ち、ワードラインWLは信号線として設けたものであるが、一部が各メモリセルCの制御ゲート16として兼用されている。ワードラインWLにはポリシリコン膜が用いられるが、他の導電膜あるいは複数膜の積層膜として形成してもよい。ワードラインWLは、各メモリセルCのチャネル方向であるX方向に沿って複数のメモリセルCと接続されている。

【0039】

また、X方向に隣接するメモリセルCとの中間領域には、メモリセルC間の分離を行う埋込み酸化膜6が形成されている。

また、図2、図3に示すようにメモリセルCのソース領域2、ドレイン領域3を形成するn-不純物拡散層は、サブビットラインSBL（図2ではSBL3、図3ではSBL4）としてY方向に沿ってメモリセルCを接続する。即ち、埋込み不純物拡散層であるサブビットラインSBLが拡散層配線として機能する。

また、ワードラインWLの周囲には層間絶縁膜層8が形成され、互いに絶縁されている。

【0040】

層間絶縁膜層8の上にはメインビットラインMBLが形成される。メインビットラインMBLは、図1に示すように偶数番目のメインビットライン（MBL2、MBL4、……）が最初に形成され、続いて奇数番目のメインビットライン（MBL1、MBL3、……）がその上に形成され、奇数番目と偶数番目のメインビットラインとが交互に上下層にくるように形成されている。そして偶数番目のメインビットライン（MBL2、MBL4、……）は第2層間絶縁膜層13により絶縁され（図3参照）、奇数番目のメインビットライン（MBL1、MBL3、……）が第3層間絶縁膜層15により絶縁されている（図3参照）。

【0041】

偶数番目のメインビットラインMBL（MBL2、MBL4、……）と偶数番目のサブビットラインSBL（SBL2、SBL4、……）とは、層間絶縁膜層8に形成したビットラインコンタクト11（図11のBCに相当）により接

続され（図3参照）、奇数番目のメインビットラインMBL（MBL1、MBL3、・・・）と奇数番目のサブビットラインSBL（SBL1、SBL3、・・・）とは、層間絶縁膜層8に設けたビットラインコンタクト11、層間絶縁膜層13に設けたビットラインコンタクト14、ビットラインコンタクト11、14間に接続する接続パッド12aにより接続される。

【0042】

接続パッド12aは、ビットラインコンタクト11、14の位置ズレによる接続不良を回避するために形成されるもので、接続パッド12aの径はビットラインコンタクト11、14の径よりも大きく形成しており、後述するように、偶数番目のメインビットラインMBL（MBL2、4・・・）を形成するときに同じ材料で同時に形成するようにしている。

【0043】

また、図1にはメインビットラインMBL間に発生するライン間容量9を模式的に示している。

また、図2、図3に示すように、メインビットラインMBLとサブビットラインSBLとの接続部分には、両者を選択的に接続するためのトランジスタ等のスイッチング素子で構成される選択ゲートSG（SG1～SG4）が形成されており、選択ゲートSGによりブロック単位でメインビットラインMBLからの信号がサブビットラインSBLに伝達できるようにしている。本実施例では1本のメインビットラインMBLに2本のサブビットラインSBLが接続されている。

また、サブビットラインSBLをブロック単位ごとに分離するための分離層10が形成されている。

【0044】

上記構造のメモリセルに対し、書き込み処理を行ったときの書き込み後の閾値電圧分布図を図10に示す。比較のため、図17のときと同一の条件で書き込みを行うものとする。即ち、選択したメインビットラインMBLには+4Vが印加され、非選択メインビットラインMBLは0Vフローティング状態とされる。例えば2つの選択セルC₂₃、C₄₃に挟まれる非選択セルC₃₃があった場合に（図14参照）、選択メインビットラインMBL2、MBL4にそれぞれ+4Vが印加され、

非選択メインビットラインMBL3は0Vフローティングとなっている。

【0045】

本発明によれば、図1に示すように、メインビットラインMBL間の距離が長くなり、そのためにライン間容量9が小さくなるので、非選択のメインビットラインMBLの電圧がほとんど浮き上がらず、ほぼ0Vに保たれている。この結果、非選択のメモリセルCの浮遊ゲート5からの電子引き抜きがなくなり、図10に見られるように閾値電圧の低下を防ぐことができる。これにより、書き込み時の非選択セルの誤書き込みを防ぐことができている。

【0046】

次に、上記構成のACT型フラッシュメモリの製造方法について説明する。図4はACT型のメモリセルの製造工程のうち、素子形成から制御ゲート（ワードライン）接続までの工程を説明する図である。

まず、Y方向のメモリセル間(例えば図11におけるC₃₂、C₃₃間)を分離するため、Y方向のメモリセル間に図示しない素子分離膜を形成する。

続いて、熱酸化によって膜厚が約80Åのトンネル酸化膜4を形成し、その上に第1のポリシリコン膜5'（一部が最終的に浮遊ゲート5となる）を約1000～2000Åの厚さに堆積する。さらにその上にフォトリソグラフィ技術によって所定の形状の第1のレジストマスク33を形成し、第1のポリシリコン膜5'をパターン形成する。このポリシリコン膜5'は、後述する浮遊ゲート5のチャネル方向の幅と同じ幅を有するストライブ状に形成される(図4(a))。

【0047】

次に、エネルギー：50KeV、ドーズ量： $3 \times 10^{13} / \text{cm}^2$ でリン(P)イオンのイオン注入を行う。この注入領域は、低濃度(n-)不純物拡散層2'（一部がソース領域2として機能する）となる(図4(b))。

【0048】

次に、第1のレジストマスク33を除去し、最終的にドレイン3となる領域に所定の開口を有する第2のレジストマスク34を形成し、エネルギー：70KeV、ドーズ量 $1 \times 10^{15} / \text{cm}^2$ で砒素(A_s)イオンをイオン注入する。この注入領域は、高濃度(n+)不純物拡散層3'（ドレイン領域3として機能する

) となる(図4 (c))。

【0049】

第2のレジストマスク34を剥離した後、窒素雰囲気中において900°Cで10分間の熱処理を行い、高濃度(n^+)不純物拡散層3'側をDDD構造とし、低濃度(n^-)不純物拡散層2'をLDD構造とする。

低濃度(n^-)不純物拡散層2' と高濃度(n^+)不純物拡散層3'は連続した1つの拡散層を形成し、サブビットライン20(図1のSBL)となる。

その後、CVD法により酸化膜6'を堆積し、エッチバックを行うことによつて、パターン形成した第1のポリシリコン膜5'間に埋込み酸化膜6を形成する。その上にONO膜(酸化膜／窒化膜／酸化膜)7'を堆積する(図4(d))。

。

【0050】

その後、第2のポリシリコン膜16'(一部が最終的に制御ゲート16となる)を約1000Åの厚さに堆積し、フォトリソグラフィ技術により、第2のポリシリコン16'、ONO膜7'、及び第1のポリシリコン膜5'をパターニング(図示しないY方向のパターニング)することにより制御ゲート16、埋込み酸化膜6、浮遊ゲート5を形成する(図4(e))。

なお、制御ゲート16は連続して形成されており、ワードラインWLを構成することになる。

【0051】

図5～図7は、図4の工程によって形成された制御ゲート16(図1のWLに相当)の上に、メインビットライン12、22(図1のMBLに相当)を形成する工程を説明する図である。

図5に示すように、制御ゲート16(即ちワードラインWL)上に第1層間絶縁膜8を10000Å程度堆積し、化学機械研磨(CMP)法等を用いて平坦化を行う。この層間絶縁膜の材料としては、CVD酸化膜、もしくは、低誘電率絶縁膜が好ましい。

その後、サブビットライン20(図1のSBLに相当)と、後に形成するメインビットライン12、22とを接続するための図示しないコンタクト(図2、図

3に示すビットラインコンタクト11)を形成する。コンタクトはホールを形成し、そのホール内部に導電材料を埋め込むことにより形成する。

続いて、第1配線材料12'（一部が最終的に第一層目のメインビットライン12となる）を5000Å程度堆積する。配線材料としては金属材料（例えば、アルミや銅）が好ましい。続いて、後にメインビットライン12が形成される位置および接続パッド12aが形成される位置（図2参照）にレジスト21を、リソグラフィー技術を用いてパターニングする。

【0052】

次に、図6に示すように第1配線材料12'をエッチング除去し、第1層目メインビットライン12および接続パッド12a（図2参照）を同時に形成した後、レジスト21を剥離する。

第2層間絶縁膜13を25000Å程度堆積し、化学機械研磨（CMP）法等を用いて平坦化を行う。この第2層間絶縁膜は第1層間絶縁膜と同材料のものを用いることができる。その後、次工程で形成される第2層目メインビットライン22と接続パッド12a（図2参照）とを接続するためのコンタクト（図2に示すビットラインコンタクト14）を形成する。このコンタクトもコンタクトホールを形成し、そのホール内部に導電材料を埋め込むようにして形成する。

続いて、第2配線材料22'（一部が最終的に第2層目のメインビットライン22となる）を5000Å程度堆積する。第2配線材料22'には第1配線材料と同様の金属材料を用いるのが好ましい。

続いて、第2層目メインビットライン22が形成される位置にレジスト23を、リソグラフィー技術を用いてパターニングする。

次に、図7に示すように、第2配線材料22'をエッチング除去し、第2層目メインビットライン22を形成した後、レジスト23を剥離する。最後に、第3層間絶縁膜層15（本実施形態では最上層の層間絶縁膜層）として機能するBPSG(Boron Phosphorus Silicate Glass)保護膜を20000Å程度の膜厚に堆積する。

【0053】

その後は、通常の工程に従って図14の等価回路図に示す配線を完成するよう

に、種々のコンタクト形成、アルミ電極のパッド形成等を行い、A C T型のフラッシュメモリを完成する。

【0054】

なお、上述した実施形態は一例であり、図8に示すようにさらに第3層間絶縁膜層24、第3層目メインビットライン25、BPSG膜26を形成し3層構造のビットラインとしてもよい。

【0055】

また、上述した実施形態ではメインビットラインMBLがサブビットラインの直上にくるようにしているが、必ずしもサブビットラインの直上に配置する必要はない。図9に示すようにメインビットラインMBLを千鳥状でない2層構造として第1層目メインビットライン27の上に第2層目メインビットライン28がくるようにしてもよい。これは、上下層のメインビットライン間距離が、約20000Åと、従来技術の横方向のメインビットライン間距離約2000Åに比較して約10倍大きく、そのためライン間容量9を十分小さくすることができるためである。

なお、この場合は第2層目メインビットライン28と対応するサブビットラインSBLとが直線的に並ばなくなることから第2層目メインビットライン28を横方向に延設してコンタクト14とコンタクト11とが接続パッド12aで接続できるようにする。

【0056】

以上、A C T型のメモリセルを実施形態として説明したが、本発明はA C T型メモリセルに限らず、ビットラインに高電圧を印加して書き込みが行われるフラッシュメモリであれば適用することができる。

例えばA C T型メモリセルをアレイ状に集積したA C T型フラッシュメモリの他に、N O R型セル、D I N O R型セル、N A N D型セル、A N D型セルを集積したフラッシュメモリにおいても浮き上がりが生じる場合に実施することができる。

【0057】

要するに、半導体基板内に形成されたドレイン領域あるいはソース領域に高電

圧が印加されるようにサブビットラインが接続され、このサブビットラインに高電圧を印加するためのメインビットラインが半導体基板上に層間絶縁膜を介して形成される構造の不揮発性半導体記憶装置であれば本発明を実施することができる。

【0058】

【発明の効果】

本発明によれば、隣接するメインビットラインを上下層に分離形成するようにして隣接メインビットライン間の距離を長くするようにしたので、ライン間容量を小さく抑えることができ、非選択メインビットラインの電圧の浮き上がり現象を抑えて誤書き込みが発生しにくい構造の不揮発性半導体記憶装置とすることができる。

【0059】

さらに、ライン間容量を小さく抑えることができることにより、誤書き込みが生じにくい集積度を高めた不揮発性半導体記憶装置とすることができます。

さらに、A C T型メモリセルにおいては、書き込み時の消費電力を抑制ながら集積度を高めることができ、その上、誤書き込みが生じにくい構造を実現することができる。

【図面の簡単な説明】

【図1】

本発明の一実施形態であるA C T型メモリのワードライン方向の断面図。

【図2】

本発明の一実施形態であるA C T型メモリのビットライン方向（奇数番目ビットライン上）の断面図。

【図3】

本発明の一実施形態であるA C T型メモリのビットライン方向（偶数番目ビットライン上）の断面図。

【図4】

本発明の一実施形態であるA C T型メモリの製造工程を説明する図。

【図5】

本発明の一実施形態である A C T 型メモリの製造工程を説明する図。

【図 6】

本発明の一実施形態である A C T 型メモリの製造工程を説明する図。

【図 7】

本発明の一実施形態である A C T 型メモリの製造工程を説明する図。

【図 8】

本発明の他の一実施形態である A C T 型メモリのワードライン方向の断面図。

【図 9】

本発明の他の一実施形態である A C T 型メモリのワードライン方向の断面図。

【図 10】

本発明の A C T 型メモリによる書き込み後のセル閾値電圧分布図。

【図 11】

A C T 型メモリの平面構成図。

【図 12】

従来からの A C T 型メモリのワードライン方向の断面図。

【図 13】

従来からの A C T 型メモリのビットライン方向の断面図。

【図 14】

A C T 型メモリの等価回路図。

【図 15】

A C T 型メモリの動作電圧を説明する図。

【図 16】

A C T 型メモリでのオフリース電流を説明する図。

【図 17】

従来からの A C T 型メモリによる書き込み後のセル閾値電圧分布図。

【符号の説明】

1 : 半導体基板

2 : ソース領域

2' : 不純物拡散層 (n⁻)

3：ドレイン領域

3'：不純物拡散層（n⁺）

4：トンネル酸化膜（第1絶縁膜）

5：浮遊ゲート

6：埋込み酸化膜

7：ONO膜（第2絶縁膜）

8：第1層間絶縁膜層

9：ライン間容量

10：分離領域

11：下側ビットラインコンタクト（BC）

12：偶数番目メインビットライン（MBL）

12a：接続パッド

13：第2層間絶縁膜層

14：上側ビットラインコンタクト

15：第3層間絶縁膜層

16：制御ゲート（ワードラインWL）

20：サブビットライン（SBL）

22：奇数番目メインビットライン（MBL）

C：メモリセル

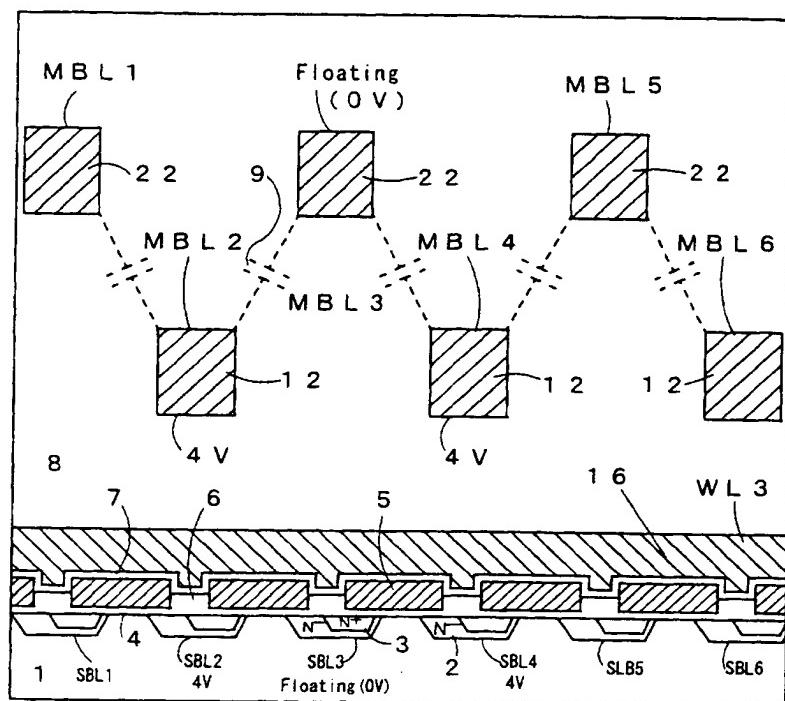
MBL：メインビットライン

SBL：サブビットライン

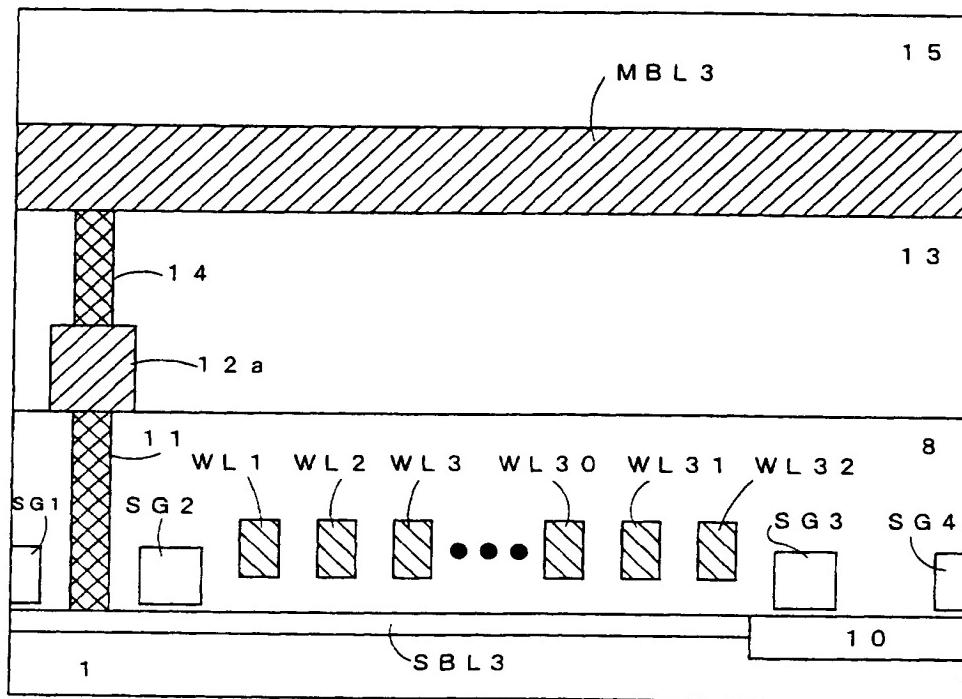
WL：ワードライン

【書類名】 図面

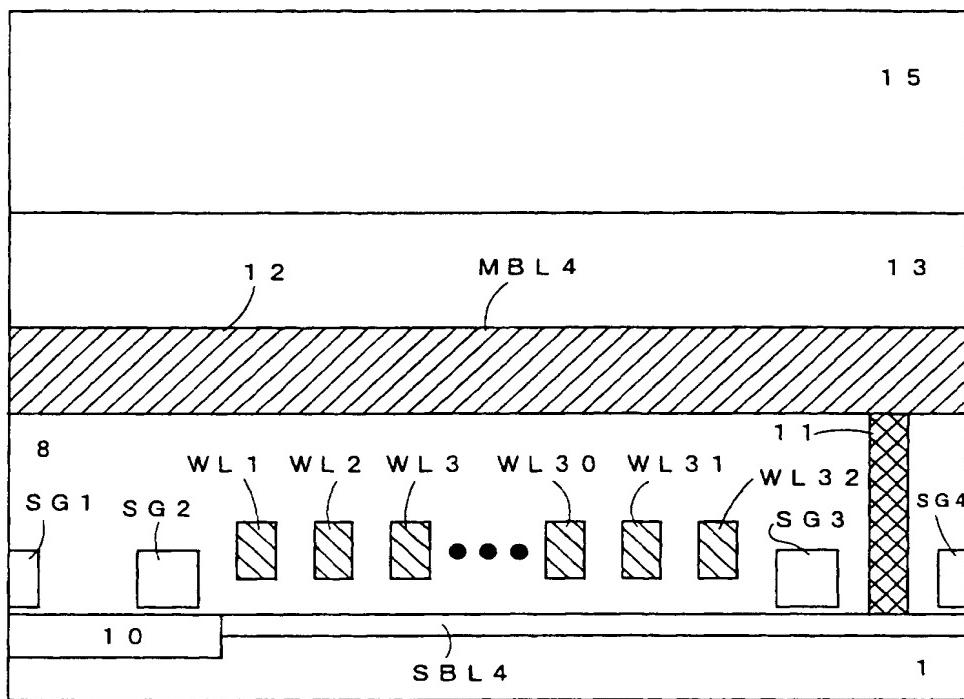
【図1】



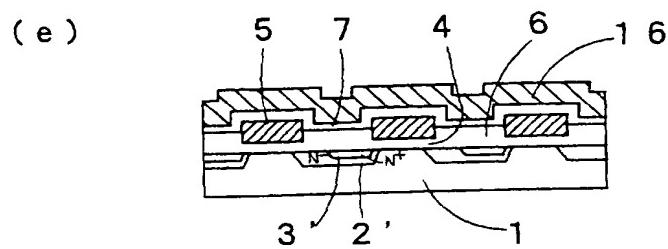
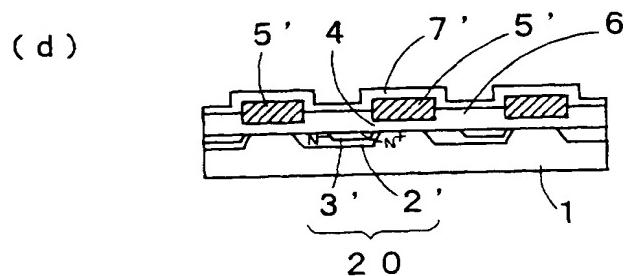
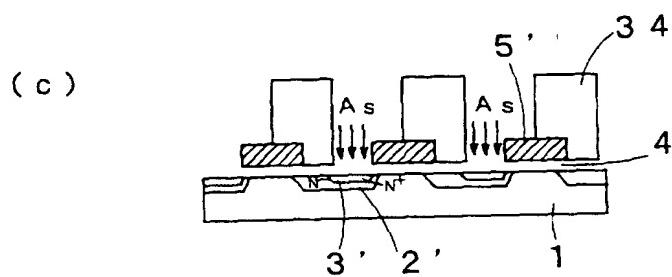
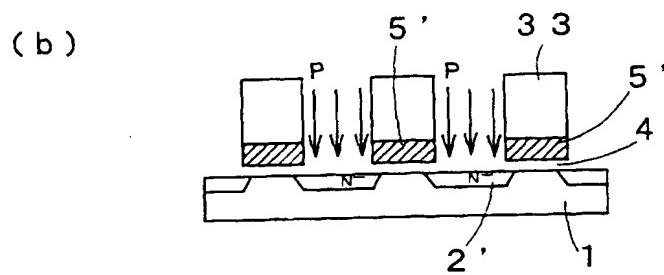
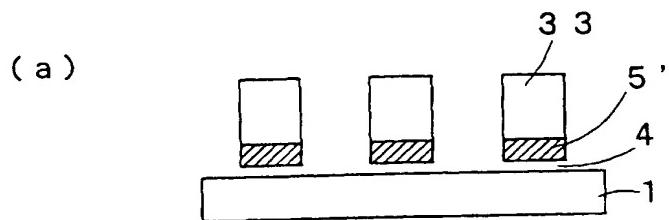
【図2】



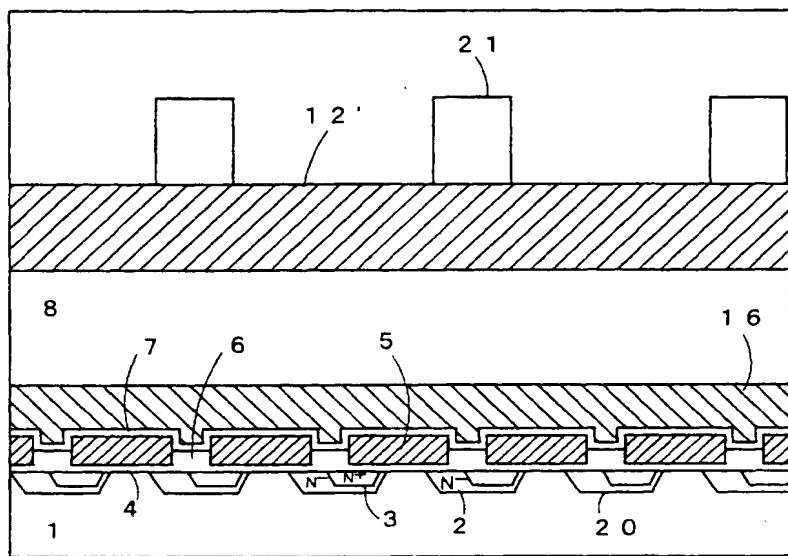
【図3】



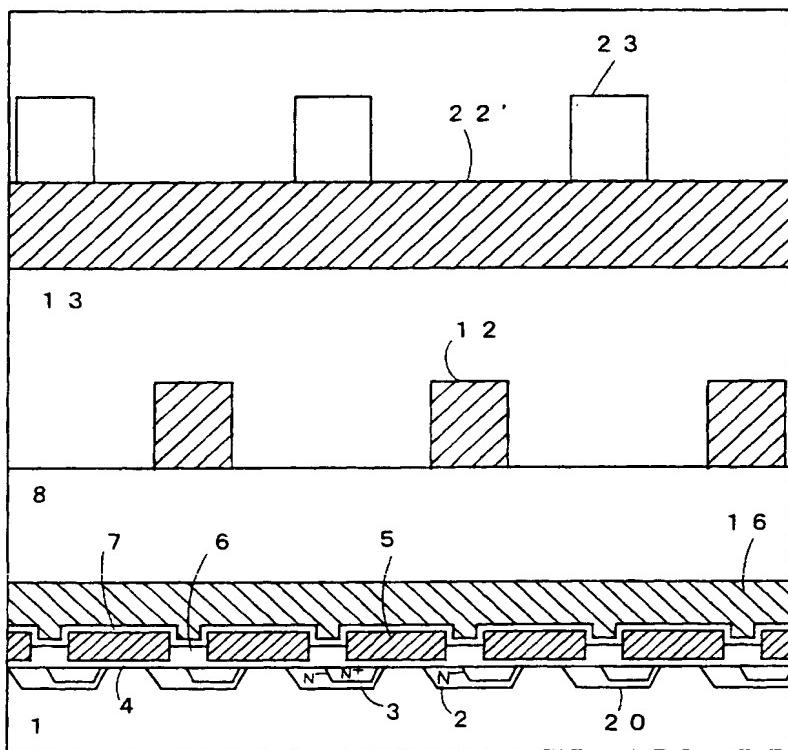
【図4】



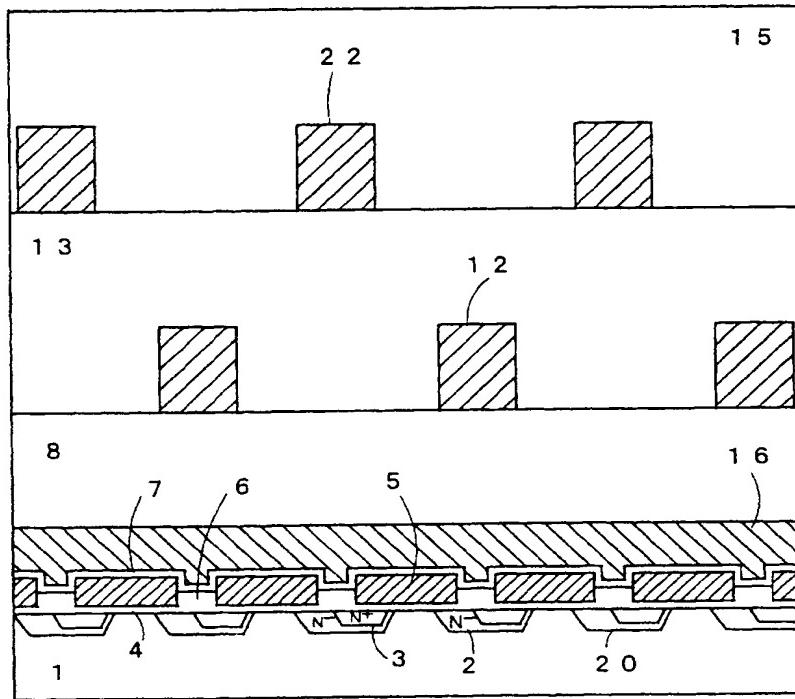
【図 5】



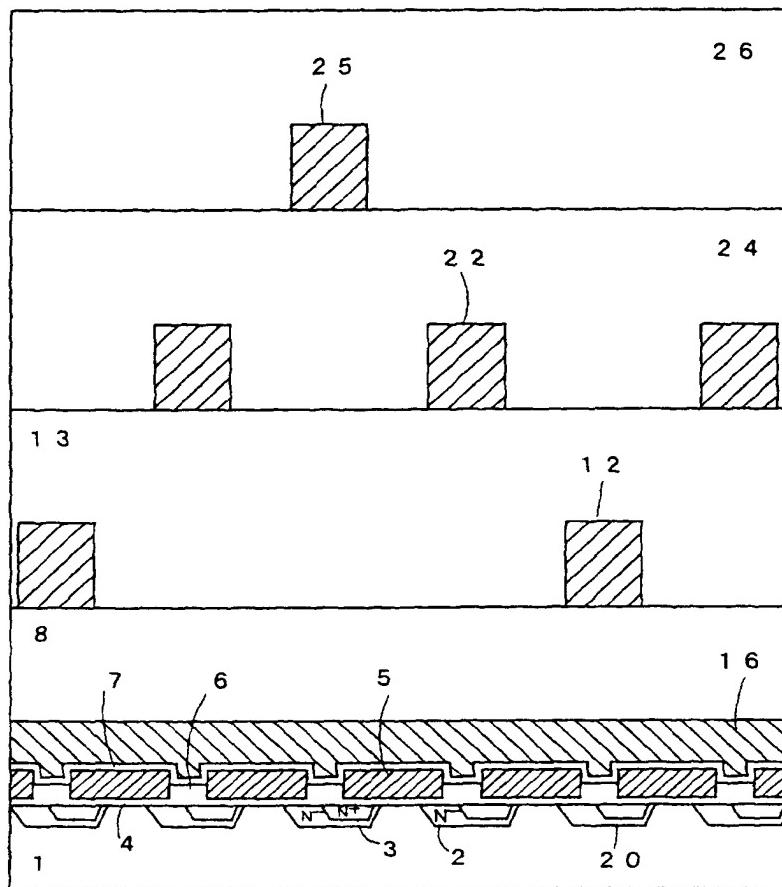
【図 6】



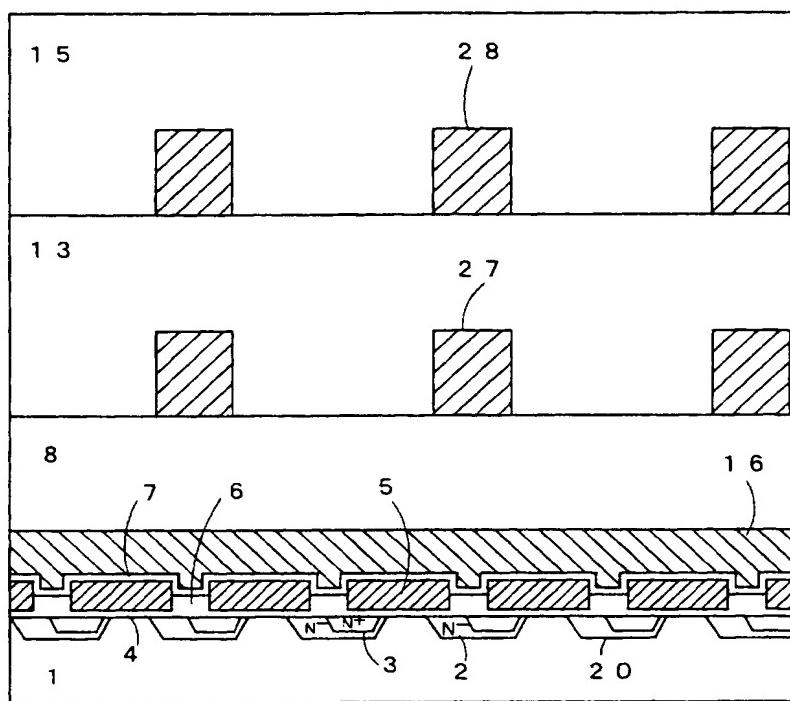
【図7】



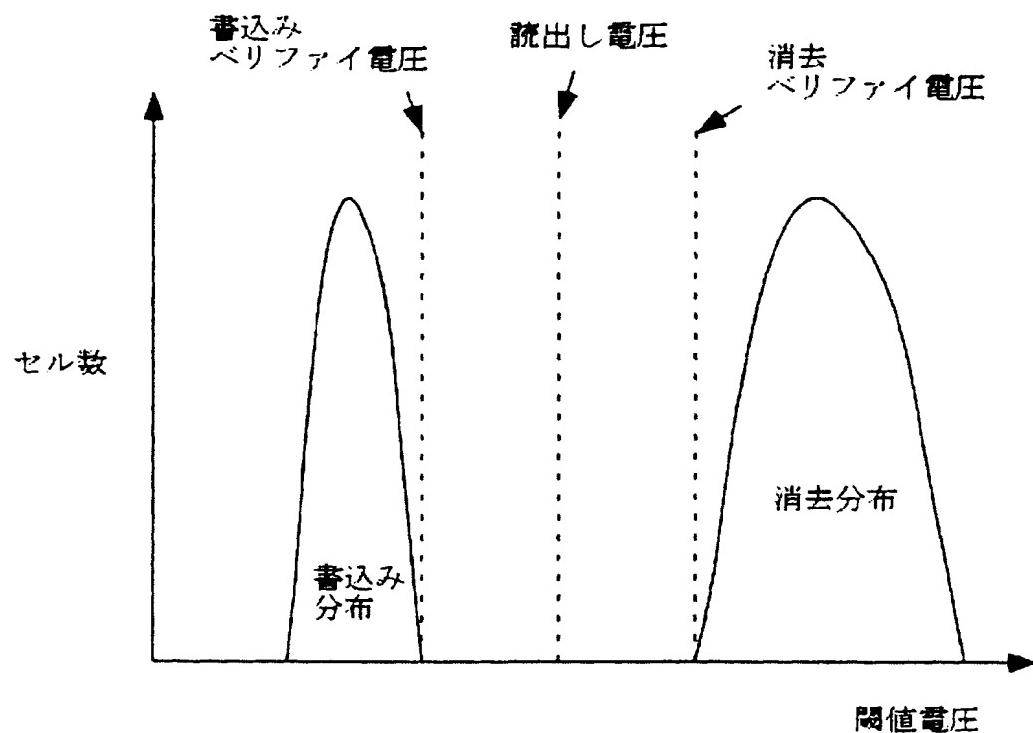
【図 8】



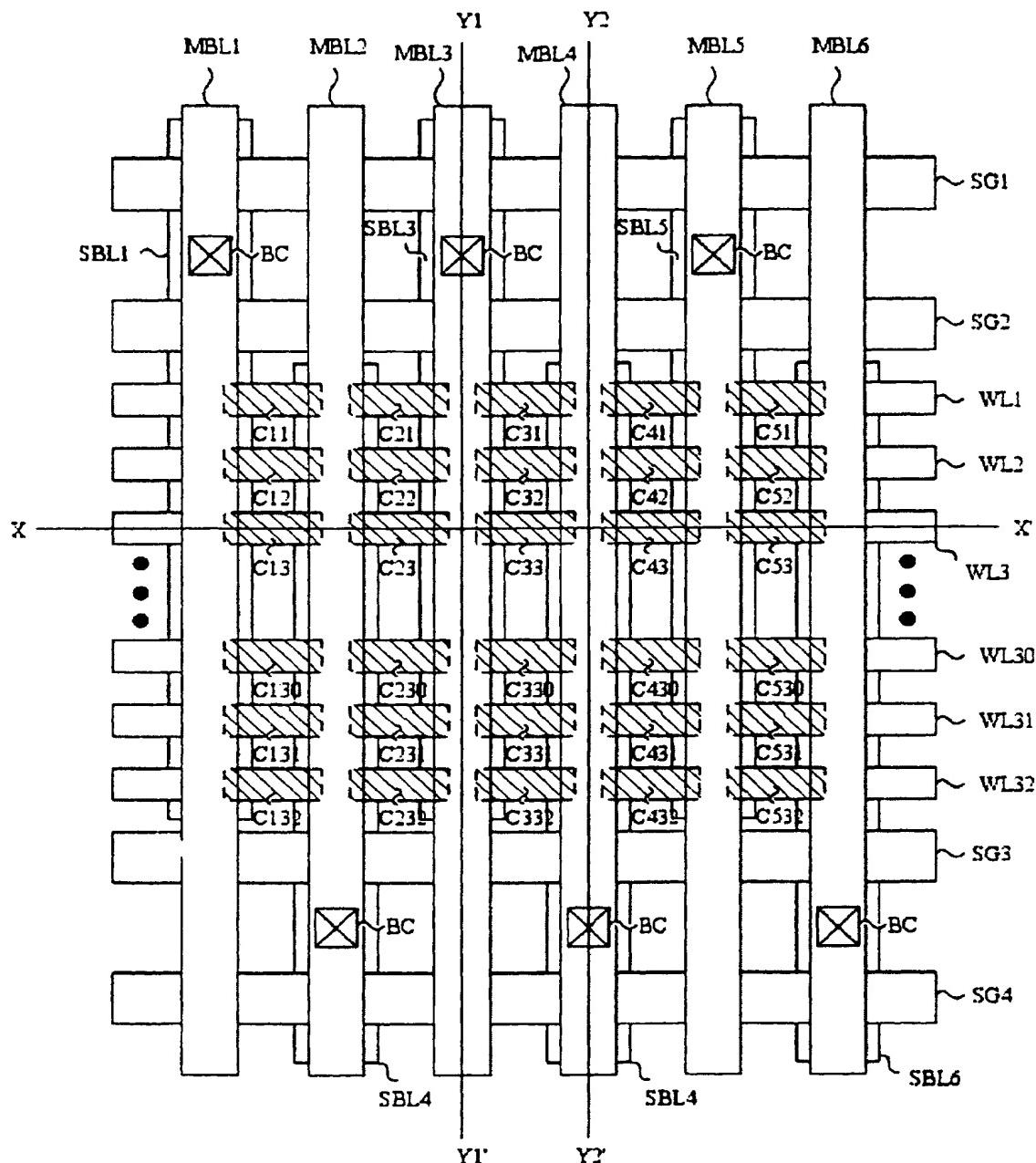
【図9】



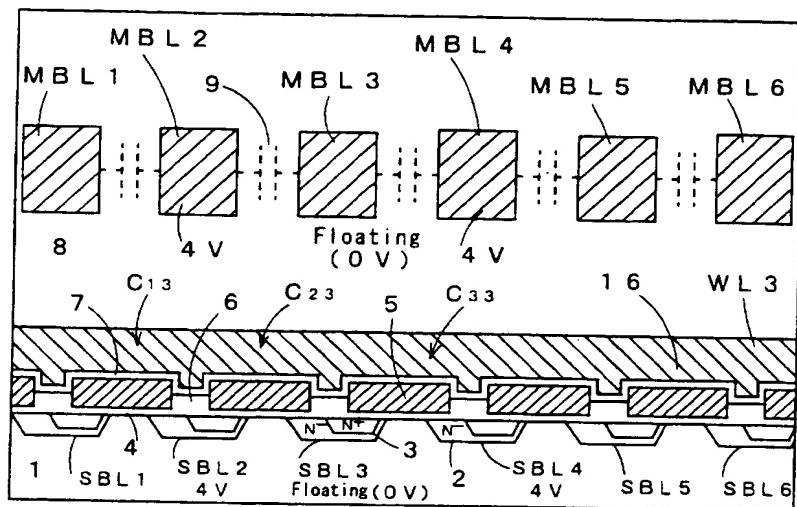
【図10】



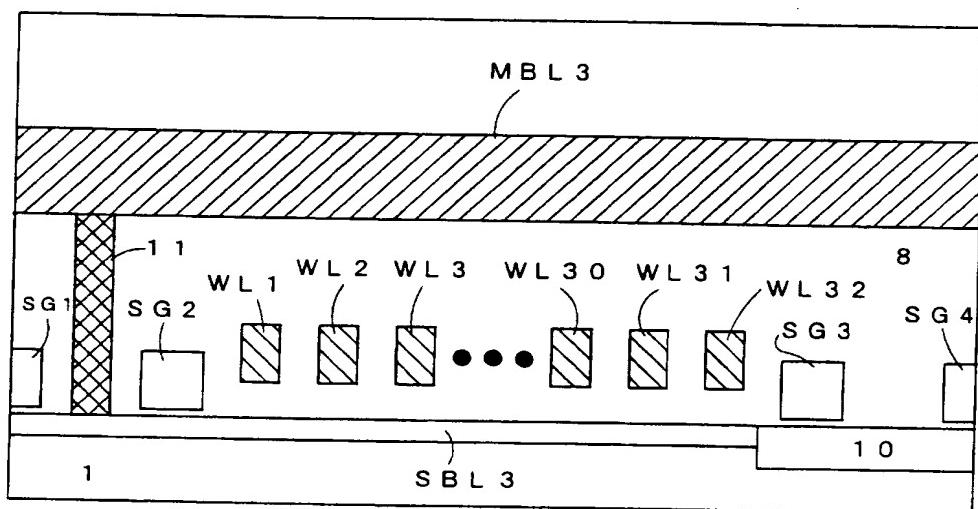
【図 11】



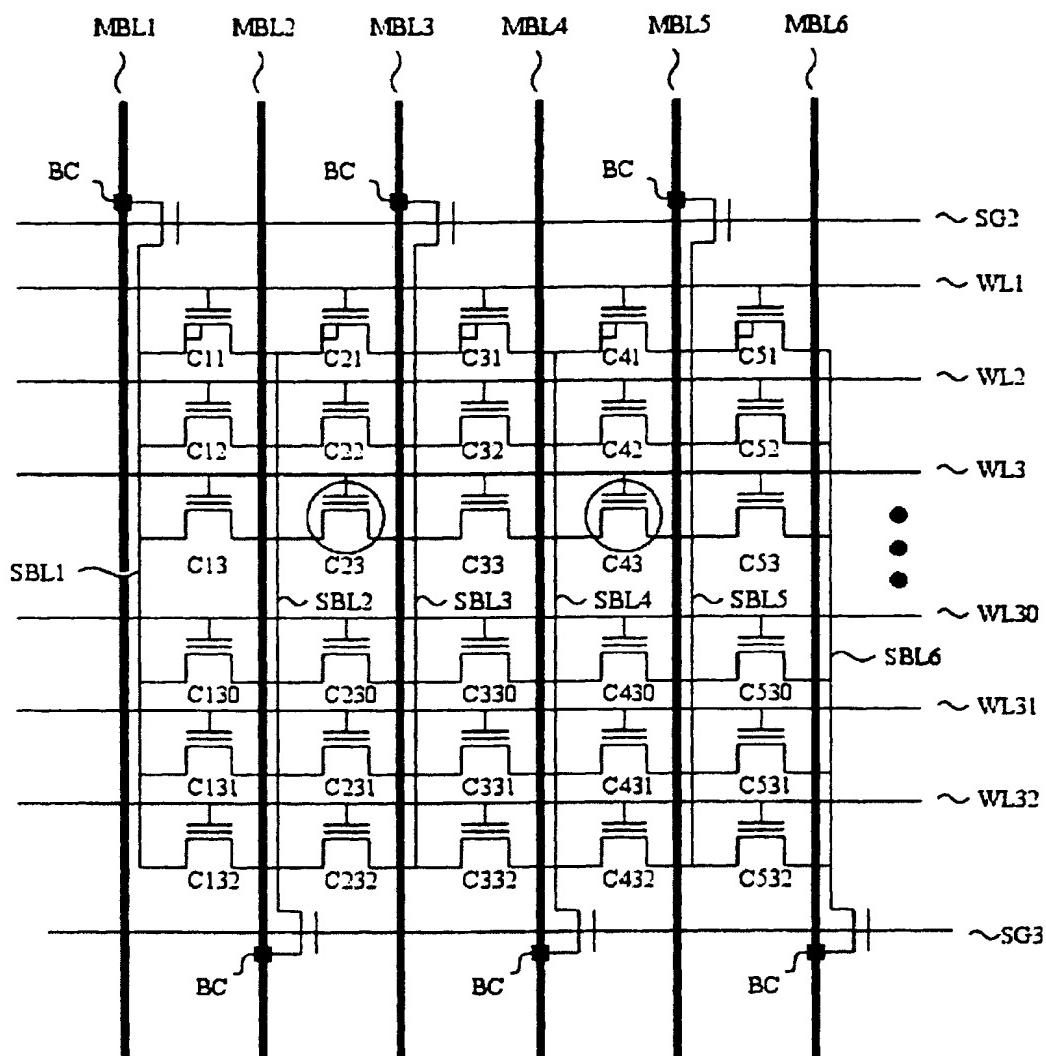
【図12】



【図13】



【図 14】



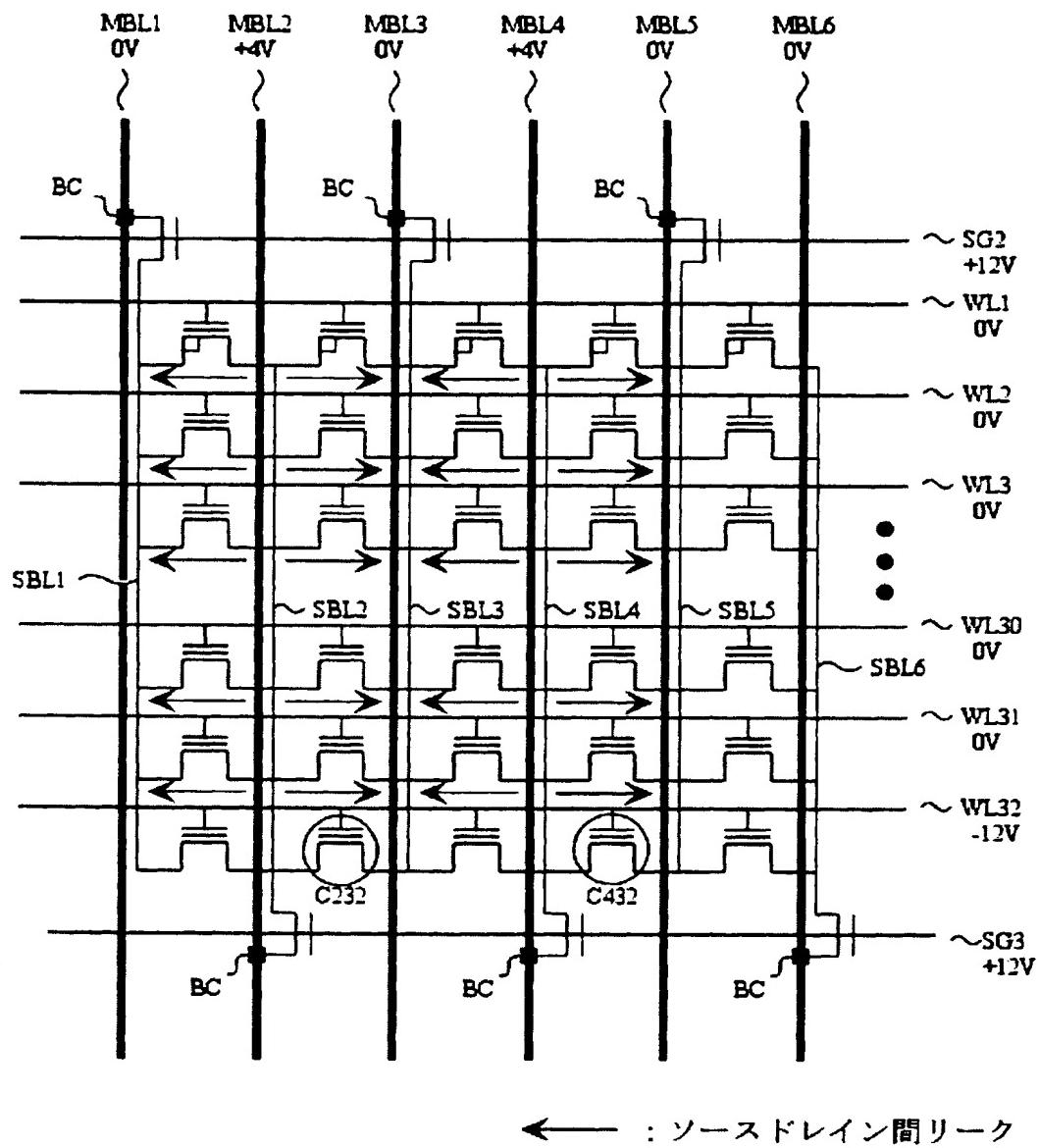
等価回路図

【図15】

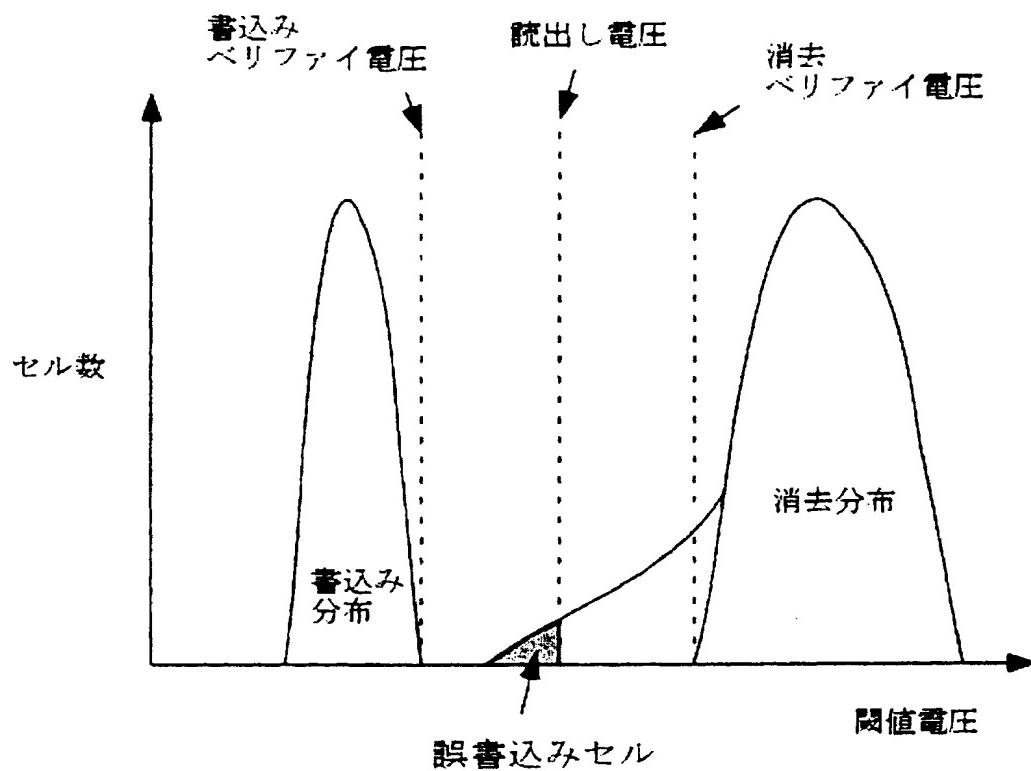
動作時の印加電圧

OPERATION	PROGRAM (C23, C43)	ERASE (all cell)	READ (C33)
MBL1	0V Floating	-SV	0V
MBL2	4V	-SV	0V
MBL3	0V Floating	-SV	0V
MBL4	4V	-SV	1V Floating
MBL5	0V Floating	-SV	1V Floating
MBL6	0V Floating	-SV	1V
WL1	0V	12V	0V
WL2	0V	12V	0V
WL3	-12V	12V	3V
WL30	0V	12V	0V
WL31	0V	12V	0V
WL32	0V	12V	0V
SG2	12V	0V	4V
SG3	12V	0V	4V
Sub	0V	-SV	0V

【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 書込み時の浮き上がり現象を抑えて、誤書き込みが発生しにくい不揮発性半導体記憶装置を提供する。

【解決手段】 メモリセルが半導体基板内に形成されたソース領域2およびドレイン領域3、ソース領域とドレイン領域の間の半導体基板表面上に形成された第1絶縁膜4、第1絶縁膜上に形成された浮遊ゲート5、浮遊ゲート上に第2絶縁膜7を介して形成された制御ゲート16とにより構成され、前記メモリセルが実質的に直交するXY方向に沿って半導体基板上にマトリクス状に形成された複数のメモリセル群と、X方向に沿って隣接するメモリセルの各制御ゲートを接続するように形成されたワードラインWLと、Y方向に沿って隣接するメモリセルのドレイン領域又はソース領域を接続するように半導体基板内に形成される複数のサブビットラインSBLと、ワードラインより上側に層間絶縁膜層8を介してY方向に沿って形成され、ビットラインコンタクトによりサブビットラインSBLと接続される複数のメインビットMBLラインとからなり、隣接するサブビットラインSBLのそれぞれに接続されるメインビットラインMDLは、層間絶縁膜層8を介して互いに上下方向に異なる層に形成し、メインビットライン間に生じる容量を小さくするようにした不揮発性半導体記憶装置とする。

【選択図】 図1

特願 2002-268937

出願人履歴情報

識別番号

[000005049]

1. 変更年月日

1990年 8月29日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町22番22号

氏 名

シャープ株式会社